

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-163174  
 (43) Date of publication of application : 19.06.1998

(51) Int.Cl.

H01L 21/3065  
 G02F 1/136  
 H01L 21/027  
 H01L 29/786  
 H01L 21/336

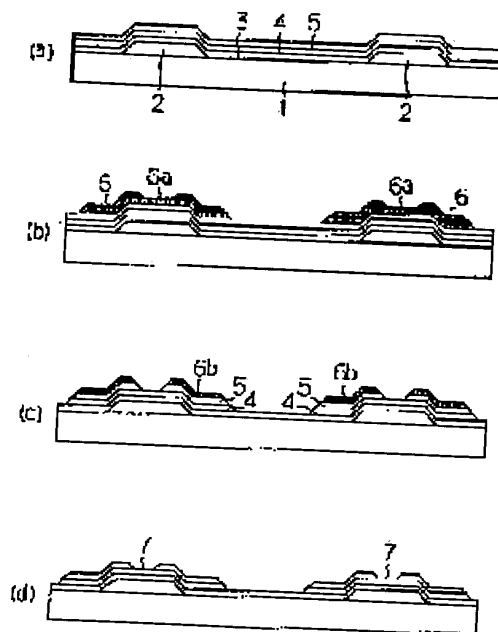
(21) Application number : 08-318396  
 (22) Date of filing : 29.11.1996

(71) Applicant : SHARP CORP  
 (72) Inventor : NISHIKI HIROHIKO  
 KATAOKA YOSHIHARU  
 SAKIHANA YOSHIKAZU

(54) PATTERNING METHOD OF THIN FILM

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a patterning method wherein a film to be etched which is composed of at least two different materials or film thicknesses can be etched by one patterning process.  
 SOLUTION: A gate wiring 2 is formed on an insulating substrate 1, and a gate insulating film 3, an i layer 4 composed of undoped amorphous silicon and an n<sup>+</sup> layer 5 composed of silicon doped with high concentration phosphorus or the like are sequentially laminated on the gate wiring 2. When resist 6 is spread and patterned, a thin resist part 6a is formed on a desired position, and dry etching is performed while the resist 6 is subjected to ashing. The n<sup>+</sup> layer 5 and the i layer 4 on a part position on which the resist 6 does not exist are etched, and the n<sup>+</sup> layer 5 under the thin resist part 6a is etched. Resist 6b after etching is thinned since a part of it is subjected to ashing. Then the resist 6 is exfoliated, and the channel part 7 of a TFT is formed.



LEGAL STATUS

[Date of request for examination] 28.01.2000  
 [Date of sending the examiner's decision of rejection] 11.06.2002  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3410617  
 [Date of registration] 20.03.2003  
 [Number of appeal against examiner's decision of rejection] 2002-12378  
 [Date of requesting appeal against examiner's decision of rejection] 04.07.2002  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163174

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/3065

G 0 2 F 1/136

H 0 1 L 21/027

29/786

21/336

5 0 0

H 0 1 L 21/302

G 0 2 F 1/136

H 0 1 L 21/30

29/78

H

5 0 0

5 7 3

6 2 7 C

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号

特願平8-318396

(22) 出願日

平成8年(1996)11月29日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 錦 博彦

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 片岡 義晴

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 咲花 由和

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

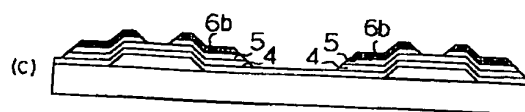
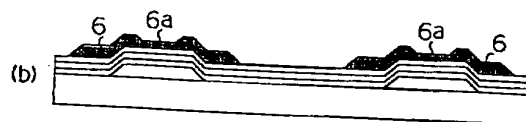
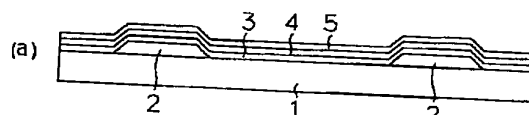
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 薄膜のパターニング方法

(57) 【要約】

【課題】 少なくとも二つの異なる材料または膜厚からなる被エッチング膜を、1回のパターニング工程でエッチングできるパターニング方法を提供する。

【解決手段】 絶縁性基板1上にゲート配線2を形成し、ゲート配線2上にゲート絶縁膜3、ドーピングを行っていないアモルファスシリコンからなるi層4及びリン等を高濃度でドーピングしたシリコンからなるn<sup>+</sup>層5を順次積層する。次に、レジスト6を塗布してパターニングする際に、所望する部位にレジストの薄い部分6aを設け、レジスト6をアッシングしながらドライエッチングを行うことにより、レジスト6が存在していない部位のn<sup>+</sup>層5及びi層4をエッチングするとともに、レジストの薄い部分6aの下層のn<sup>+</sup>層5をエッチングする。エッチング後のレジスト6bは、一部がアッシングされているため薄くなっている。そして、レジスト6を剥離してTFTのチャンネル部7を形成する。



【特許請求の範囲】

【請求項1】 被エッチング膜上にレジストを塗布する工程と、前記レジストを所望のパターンのフォトリソを用いて感光させる工程と、前記レジストを所望のパターンに現像する工程と、前記被エッチング膜をドライエッチングする工程とを有する薄膜のパターニング方法において、前記レジストを少なくとも二つの異なる膜厚に現像し、前記レジストをアッシングしながら前記被エッチング膜をドライエッチングすることを特徴とする薄膜のパターニング方法。

【請求項2】 少なくとも二つの異なるパターンを有するフォトリソを用いて前記レジストを連続して感光させ、前記レジストを少なくとも二つの異なる膜厚に現像することを特徴とする請求項1記載の薄膜のパターニング方法。

【請求項3】 少なくとも二つの異なる透過率を有する部分が形成されたフォトリソを用いて前記レジストを感光させ、前記レジストを少なくとも二つの異なる膜厚に現像することを特徴とする請求項1記載の薄膜のパターニング方法。

【請求項4】 前記レジストは、少なくとも二つの異なる感度を有するレジストが積層されたものであることを特徴とする請求項2または請求項3記載の薄膜のパターニング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体、導体及び絶縁体等の薄膜のパターニング方法に関するもので、特に、液晶表示装置を構成する各種薄膜のパターニング方法に関するものである。

【0002】

【従来の技術】液晶表示装置としては、互いに交差する複数本のゲート配線と複数本のデータ配線とともに、アモルファスシリコンにより構成した薄膜トランジスタ(TFT)またはMIM素子を基板上に形成した、所謂アクティブマトリクス基板を用いたものが知られている。

【0003】一方、薄膜のパターニング方法は、図5(a)に示すように、絶縁性基板51上に被エッチング膜52を成膜し、被エッチング膜52上にレジスト53を塗布する。

【0004】そして、クロムまたは酸化クロム等の遮光膜が成膜された遮光部54と、遮光膜が成膜されていない透光部55とが、所望するパターンに応じて形成されているフォトリソ56を介して、レジスト53に光57を照射して露光し、図5(b)に示すように、感光したレジスト53aとする。

【0005】次に、図5(c)に示すように、感光したレジスト53aを現像することによって除去し、所望するパターンのレジスト53を得る。さらに、図5(d)

に示すように、ウェットエッチングまたはドライエッチングすることにより、被エッチング膜52をパターニングし、図5(e)に示すように、レジスト53を剥離する。

05 【0006】このような工程を目的とする被エッチング膜52の数だけ繰り返す、目的とする膜を重ね合わせる必要がある。

【0007】図6に示すような、アクティブマトリクス基板にエッチングストッパーを用いない逆スタガ型のTFTを形成する場合には、以下のような製造工程が用いられる。

【0008】まず、図7(a)に示すように、絶縁性基板51上にゲート配線58を形成し、ゲート配線58上にゲート絶縁膜59、ドーピングを行っていないアモルファスシリコンからなるi層60及びリン等を高濃度でドーピングしたシリコンからなるn<sup>+</sup>層61を順次積層する。

【0009】そして、図7(b)に示すように、レジスト53を塗布してパターニングし、図7(c)に示すように、i層60及びn<sup>+</sup>層61をエッチングして、図7(d)に示すように、レジスト53を剥離する。

【0010】次に、図7(e)に示すように、レジスト53を塗布して図7(b)に示すパターンとは異なるパターンにパターニングし、図7(f)に示すように、TFTのチャネル部62のn<sup>+</sup>層61のみをエッチングして、図7(g)に示すように、レジスト53を剥離することでチャネル部62を形成し、データ配線63及び画素電極64を形成してTFTを得る。

【0011】このように、エッチングストッパーを用いない逆スタガ型のTFTを形成する場合には、少なくとも2回の薄膜のパターニング工程を行わなければならない。

【0012】

【発明が解決しようとする課題】前述したように、少なくとも二つの異なる材料または膜厚からなる被エッチング膜をエッチングする場合、各被エッチング膜の数のパターニング工程を行わなければならない、工程が長くなったり、各パターニング工程毎でフォトリソの位置ずれが生じたりするという問題点がある。

【0013】本発明は、以上のような従来の問題点に鑑みなされたものであって、少なくとも二つの異なる材料または膜厚からなる被エッチング膜を、1回のパターニング工程でエッチングできるパターニング方法を提供することを目的としている。

【0014】

【課題を解決するための手段】前述した目的を達成するために、本発明の請求項1記載の薄膜のパターニング方法は、被エッチング膜上にレジストを塗布する工程と、前記レジストを所望のパターンのフォトリソを用いて感光させる工程と、前記レジストを所望のパターンに現像する工程と、前記被エッチング膜をドライエッチング

する工程とを有する薄膜のパターニング方法において、前記レジストを少なくとも二つの異なる膜厚に現像し、前記レジストをアッシングしながら前記被エッチング膜をドライエッチングすることを特徴としている。

【0015】請求項2記載の薄膜のパターニング方法は、請求項1記載の薄膜のパターニング方法において、少なくとも二つの異なるパターンを有するフォトマスクを用いて前記レジストを連続して感光させ、前記レジストを少なくとも二つの異なる膜厚に現像することを特徴としている。

【0016】請求項3記載の薄膜のパターニング方法は、請求項1記載の薄膜のパターニング方法において、少なくとも二つの異なる透過率を有する部分が形成されたフォトマスクを用いて前記レジストを感光させ、前記レジストを少なくとも二つの異なる膜厚に現像することを特徴としている。

【0017】請求項4記載の薄膜のパターニング方法は、請求項2または請求項3記載の薄膜のパターニング方法において、前記レジストは、少なくとも二つの異なる感度を有するレジストが積層されたものであることを特徴としている。

【0018】本発明の薄膜のパターニング方法によれば、レジストを少なくとも二つの異なる膜厚に現像し、レジストをアッシングしながら被エッチング膜をドライエッチングすることにより、レジストの下層の被エッチング膜は、レジストがアッシングされた後にエッチングが行われるため、レジストの膜厚で被エッチング膜のエッチング量を制御して、少なくとも二つの異なる材料または膜厚からなる被エッチング膜を1回のエッチングでパターニングすることができる。

【0019】このことは、少なくとも二つの異なるパターンを有するフォトマスクを用いてレジストを連続して感光させ、レジストを少なくとも二つの異なる膜厚に現像することにより、容易に実現することができる。

【0020】また、少なくとも二つの異なる透過率を有する部分が形成されたフォトマスクを用いてレジストを感光させ、レジストを少なくとも二つの異なる膜厚に現像することによっても、容易に実現することができる。

【0021】さらに、レジストは、少なくとも二つの異なる感度を有するレジストが積層されたものであることにより、レジストを少なくとも二つの異なる膜厚に制御することが簡便になるとともに、レジストの膜厚を正確に制御することができる。

【0022】

【発明の実施の形態】図1乃至図4を用いて、本発明の実施の形態について説明する。図1は本発明の概念を説明する工程図、図2は本発明に係わる第1のパターニング方法を説明する工程図、図3は本発明に係わる第2のパターニング方法を説明する工程図、図4は本発明に係わる第3のパターニング方法を説明する工程図である。

【0023】図1を用いて本発明について説明する。図1(a)に示すように、ガラス等からなる絶縁性基板1上にTa等からなるゲート配線2を形成し、ゲート配線2上にシリコン酸化膜等からなるゲート絶縁膜3、ドーピングを行っていないアモルファスシリコンからなるi層4及びリン等を高濃度でドーピングしたシリコンからなるn<sup>+</sup>層5を順次積層する。

【0024】次に、図1(b)に示すように、レジスト6を塗布してパターニングする際に、所望する部位にレジストの薄い部分6aを設け、図1(c)に示すように、レジスト6をアッシングしながらドライエッチングを行うことにより、レジスト6が存在していない部位のn<sup>+</sup>層5及びi層4をエッチングするとともに、レジストの薄い部分6aの下層のn<sup>+</sup>層5をエッチングする。エッチング後のレジスト6bは、一部がアッシングされているため薄くなっている。そして、図1(d)に示すように、レジスト6を剥離してTFTのチャンネル部7を形成する。

【0025】このように、レジスト6をアッシングしながらドライエッチングを行うことにより、レジスト6が存在していない部位のn<sup>+</sup>層5及びi層4は通常のようにエッチングされる。そして、レジストの薄い部分6aの下層のn<sup>+</sup>層5は、レジストの薄い部分6aが完全にエッチングされてからn<sup>+</sup>層5のエッチングが行われるため、n<sup>+</sup>層5の下層のi層4までエッチングされることがないように制御することができる。そして、通常の膜厚のレジスト6部分は一部がアッシングされて薄くなり、エッチング後のレジスト6bのようになるが、レジスト6が完全になくなるわけではないので、その下層のn<sup>+</sup>層5及びi層4はエッチングされることがないように制御することができる。

【0026】レジスト6のアッシングとn<sup>+</sup>層5及びi層4のエッチングとを同時に行うためには、プロセスガスとしてHC1+SF<sub>6</sub>+O<sub>2</sub>の混合ガスを用いればよい。

【0027】レジストの薄い部分6aの厚さは、実際のプロセスにおけるレジスト6のアッシングレート並びにn<sup>+</sup>層5及びi層4の膜厚及びエッチングレートから決定すればよい。

【0028】具体的には、レジスト6が存在していない部位のn<sup>+</sup>層5及びi層4がエッチングされると同時に、レジストの薄い部分6aがアッシングされてその下層のn<sup>+</sup>層5がエッチングされる必要があり、n<sup>+</sup>層5については、レジスト6が存在していない部位とレジストの薄い部分6aとで同様にエッチングされることから、i層4のエッチング時間とレジストの薄い部分6aのアッシング時間とを同じにすればよいのである。

【0029】例えば、レジスト6のアッシングレート、n<sup>+</sup>層5のエッチングレート及びi層4のエッチングレートの比が5:2:1で、n<sup>+</sup>層5の膜厚が50nm及

びi層4の膜厚が100nmであり、10%のオーバーエッチングを行うとする場合、レジストの薄い部分6aの膜厚は550nmとすればよく、通常の厚さのレジスト6の膜厚は700nm以上あればよい。特に、レジストの薄い部分6aの膜厚は正確に制御する必要がある。

【0030】ここで、図2乃至図4を用いて、少なくとも二つの異なる膜厚のレジスト6を形成するためのパターニング方法について説明する。

【0031】(第1のパターニング方法) 図2(a)に示すように、絶縁性基板1上に被エッチング膜8を成膜し、被エッチング膜8上にレジスト6を塗布する。そして、クロムまたは酸化クロム等の遮光膜が成膜された遮光部9と、遮光膜が成膜されていない透光部10とが、所望するパターンに応じて形成されている第1のフォトマスク11aを介して、レジスト6に第1の光12aを照射して露光し、図2(b)に示すように、感光したレジスト6cとする。

【0032】次に、図2(c)に示すように、遮光部9と透光部10とが所望するパターンに応じて形成されている第2のフォトマスク11bを介して、レジスト6に第2の光12bを照射して露光し、図2(d)に示すように、厚さの異なる感光したレジスト6cを形成する。

【0033】そして、図2(e)に示すように、感光したレジスト6cを現像することによって除去し、レジストの薄い部分6aを有する所望するパターンのレジスト6を得る。

【0034】さらに、図2(f)に示すように、レジスト6をアッシングしながらドライエッチングを行うことにより、レジストが存在していない部位の被エッチング膜8をエッチングするとともに、レジストの薄い部分6aの下層の被エッチング膜8の一部をエッチングする。エッチング後のレジスト6bは、一部がアッシングされているため薄くなっている。

【0035】そして、図2(g)に示すように、レジスト6を剥離し、膜厚の薄い被エッチング膜8aを有する所望するパターンの被エッチング膜8を形成して、パターニングを終了する。

【0036】このように、少なくとも二つの異なる膜厚のレジスト6を形成するためには、少なくとも二つの異なるパターンのフォトマスク11を用いて、連続して露光を行うようにすればよい。

【0037】図2の場合、第1の光12aは、レジストの薄い部分6aの膜厚を制御し、レジストの薄い部分6aが所望する膜厚となるような光量で照射すればよく、第2の光12bは、現像で除去する部位のレジスト6を完全に感光したレジスト6cにできるような光量で照射すればよい。

【0038】(第2のパターニング方法) 図3(a)に示すように、絶縁性基板1上に被エッチング膜8を成膜し、被エッチング膜8上にレジスト6を塗布する。そし

て、遮光部9と、透光部10と、第1の透過率を有する第1の半透過部13aと、第2の透過率を有する第2の半透過部13bとが、所望するパターンに応じて形成されているフォトマスク11を介して、レジスト6に光12を照射して露光する。

【0039】このとき、第1の半透過部13aを透過した光12は第1の透過率の光12cとなり、第2の半透過部13bを透過した光12は第2の透過率の光12dとなるため、図3(b)に示すように、厚さの異なる感光したレジスト6cを形成することができる。

【0040】そして、図3(c)に示すように、感光したレジスト6cを現像することによって除去し、レジストの薄い部分6a及びレジストのさらに薄い部分6dを有する所望するパターンのレジスト6を得る。

【0041】さらに、図3(d)に示すように、レジスト6をアッシングしながらドライエッチングを行うことにより、レジストが存在していない部位の被エッチング膜8、レジストの薄い部分6aの下層の被エッチング膜8の一部及びレジストのさらに薄い部分6dの下層の被エッチング膜8の一部をエッチングする。エッチング後のレジスト6bは、一部がアッシングされているため薄くなっている。

【0042】そして、図3(e)に示すように、レジスト6を剥離し、膜厚の薄い被エッチング膜8a及び膜厚のさらに薄い被エッチング膜8bを有する所望するパターンの被エッチング膜8を形成して、パターニングを終了する。

【0043】このように、少なくとも二つの異なる膜厚のレジスト6を形成するためには、少なくとも二つの異なる透過率を有する部分が形成されたフォトマスク11を用いて、1回の露光を行うようにすればよい。

【0044】図3の場合、第1の半透過部13aは、レジストの薄い部分6aの膜厚を制御し、レジストの薄い部分6aが所望する膜厚となるように第1の半透過部13aの透過率を設定すればよく、第2の半透過部13bは、レジストのさらに薄い部分6dの膜厚を制御し、レジストのさらに薄い部分6dが所望する膜厚となるように第2の半透過部13bの透過率を設定すればよい。光12は、現像で除去する部位のレジスト6を完全に感光したレジスト6cにできるような光量で照射すればよい。

【0045】(第3のパターニング方法) 図4(a)に示すように、絶縁性基板1上に被エッチング膜8を成膜し、被エッチング膜8上に感度の異なる第1のレジスト6e、第2のレジスト6f及び第3のレジスト6gを塗布して積層する。

【0046】そして、遮光部9と、透光部10と、第1の透過率を有する第1の半透過部13aと、第2の透過率を有する第2の半透過部13bとが、所望するパターンに応じて形成されているフォトマスク11を介して、

第1のレジスト6 e、第2のレジスト6 f及び第3のレジスト6 gに光1 2を照射して露光する。

【0047】このとき、第1の半透過部1 3 aを透過した光1 2は第1の透過率の光1 2 cとなり、第2の半透過部1 3 bを透過した光1 2は第2の透過率の光1 2 dとなるため、図4 (b)に示すように、厚さの異なる感光したレジスト6 cを形成することができる。

【0048】そして、図4 (c)に示すように、感光したレジスト6 cを現像することによって除去し、所望するパターン第1のレジスト6 e、第2のレジスト6 f及び第3のレジスト6 gを得る。

【0049】さらに、図4 (d)に示すように、第1のレジスト6 e、第2のレジスト6 f及び第3のレジスト6 gをアッシングしながらドライエッチングを行うことにより、レジスト6が存在していない部位の被エッチング膜8、第1のレジスト6 eと第2のレジスト6 fとが積層された部分の下層の被エッチング膜8の一部及び第1のレジスト6 eのみの部分の下層の被エッチング膜8の一部をエッチングする。エッチング後には、第2のレジスト6 f及び第3のレジスト6 gは全てアッシングされているため、第1のレジスト6 eと第2のレジスト6 fと第3のレジスト6 gとが積層されていた部分の第1のレジスト6 eのみが残っている。

【0050】そして、図4 (e)に示すように、第1のレジスト6 eを剥離し、膜厚の薄い被エッチング膜8 a及び膜厚のさらに薄い被エッチング膜8 bを有する所望するパターン第1の被エッチング膜8を形成して、パターニングを終了する。

【0051】このように、少なくとも二つの異なる膜厚のレジスト6を形成するためには、少なくとも二つの異なる感度を有するレジスト6を積層し、少なくとも二つの異なる透過率を有する部分が形成されたフォトマスク1 1を用いて、1回の露光を行うようにすればよい。

【0052】図4の場合、第1のレジスト6 eとして感度の最も低いものを用い、第3のレジスト6 gとして感度の最も高いものを用いれば、第1の透過率の光1 2 cは、第3のレジスト6 gのみを感光したレジスト6 cとし、第2の透過率の光1 2 dは、第3のレジスト6 g及び第2のレジスト6 fを感光したレジスト6 cとし、光1 2は、第3のレジスト6 g、第2のレジスト6 f及び第1のレジスト6 eを感光したレジスト6 cとして、異なる膜厚のレジスト6を形成することができる。

【0053】例えば、レジスト6の膜厚を400 nm、1000 nm及び1500 nmの3種類に異ならせたい場合、第1のレジスト6 eを400 nm、第2のレジスト6 fを600 nm及び第3のレジスト6 gを500 nmの厚さで積層すればよい。

【0054】また、少なくとも二つの異なる膜厚のレジスト6を形成するためには、少なくとも二つの異なる感度を有するレジスト6を積層し、第1のパターニング方

法で説明したように、少なくとも二つの異なるパターン第1のフォトマスク1 1を用いて、連続して露光を行うようにしてもよい。

【0055】

05 【発明の効果】以上の説明のように、本発明の薄膜のパターニング方法によれば、レジストを少なくとも二つの異なる膜厚に現像し、レジストをアッシングしながら被エッチング膜をドライエッチングすることにより、少なくとも二つの異なる材料または膜厚からなる被エッチング膜を1回のエッチングでパターニングすることができるため、パターニングに係わる工数を大幅に削減できるとともに、パターニング工程毎のフォトマスクの位置ずれを生じることがなくなる。

【0056】このことは、少なくとも二つの異なるパターンを有するフォトマスクを用いてレジストを連続して感光させ、レジストを少なくとも二つの異なる膜厚に現像することにより、容易に実現することができる。

【0057】また、少なくとも二つの異なる透過率を有する部分が形成されたフォトマスクを用いてレジストを感光させ、レジストを少なくとも二つの異なる膜厚に現像することによっても、容易に実現することができる。

【0058】さらに、レジストは、少なくとも二つの異なる感度を有するレジストが積層されたものであることにより、レジストを少なくとも二つの異なる膜厚に制御することが簡便になるとともに、レジストの膜厚を正確に制御することができる。

【図面の簡単な説明】

【図1】(a)～(d)は本発明の概念を説明する工程図である。

30 【図2】(a)～(g)は本発明に係わる第1のパターニング方法を説明する工程図である。

【図3】(a)～(e)は本発明に係わる第2のパターニング方法を説明する工程図である。

35 【図4】(a)～(e)は本発明に係わる第3のパターニング方法を説明する工程図である。

【図5】(a)～(e)は従来の薄膜のパターニング方法を示す工程図である。

【図6】エッチングストッパーを用いない逆スタガ型のTFTを示す断面図である。

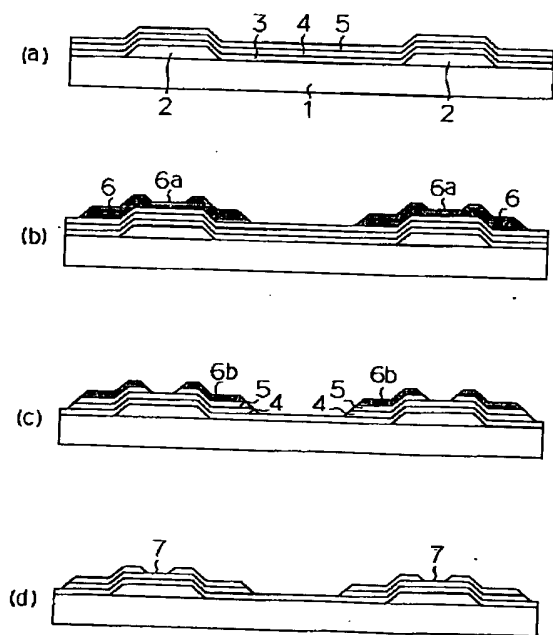
40 【図7】(a)～(g)は従来の薄膜のアクティブマトリクス基板のパターニング方法を示す工程図である。

【符号の説明】

- 1 絶縁性基板
- 2 ゲート配線
- 3 ゲート絶縁膜
- 4 i層
- 5 n<sup>+</sup>層
- 6 レジスト
- 6 a レジストの薄い部分
- 50 6 b エッチング後のレジスト

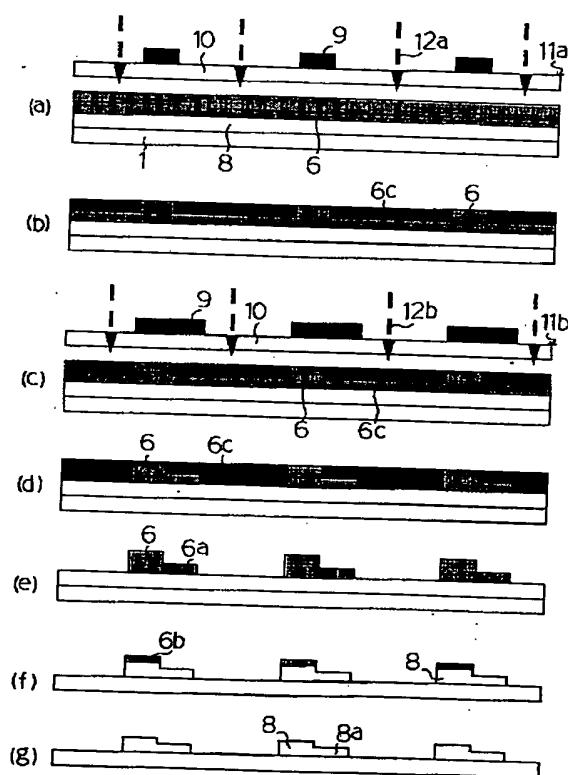
- 6 c 感光したレジスト
- 6 d レジストのさらに薄い部分
- 6 e 第1のレジスト
- 6 f 第2のレジスト
- 6 g 第3のレジスト
- 7 チャンネル部
- 8 被エッチング膜
- 8 a 膜厚の薄い被エッチング膜
- 8 b 膜厚のさらに薄い被エッチング膜
- 9 遮光部
- 10 透光部
- 11 フォトマスク
- 11 a 第1のフォトマスク
- 11 b 第2のフォトマスク
- 12 光
- 12 a 第1の光
- 12 b 第2の光
- 12 c 第1の透過率の光

【図1】

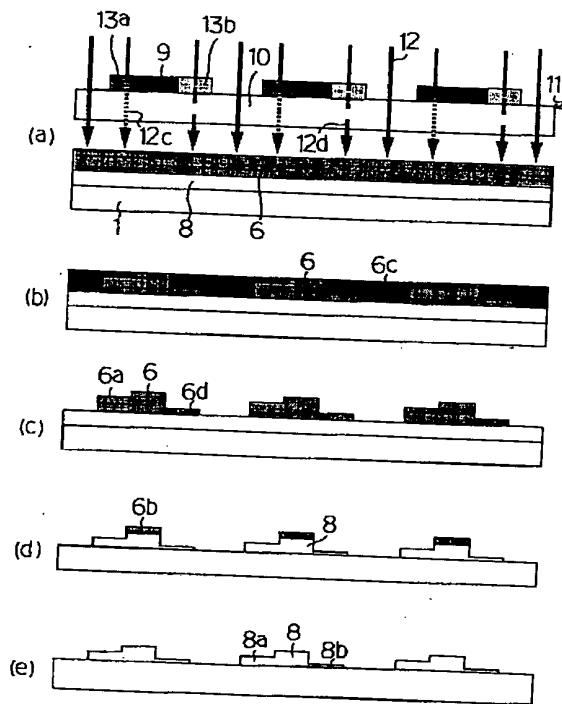


- 12 d 第2の透過率の光
- 13 a 第1の半透過部
- 13 b 第2の半透過部
- 51 絶縁性基板
- 05 52 被エッチング膜
- 53 レジスト
- 53 a 感光したレジスト
- 54 遮光部
- 55 透光部
- 10 56 フォトマスク
- 57 光
- 58 ゲート配線
- 59 ゲート絶縁膜
- 60 i 層
- 15 61 n<sup>+</sup>層
- 62 チャンネル部
- 63 データ配線
- 64 画素電極

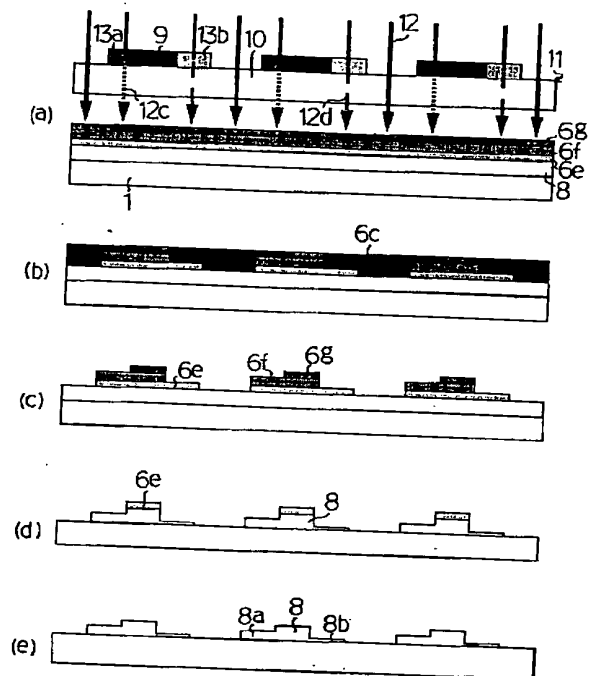
【図2】



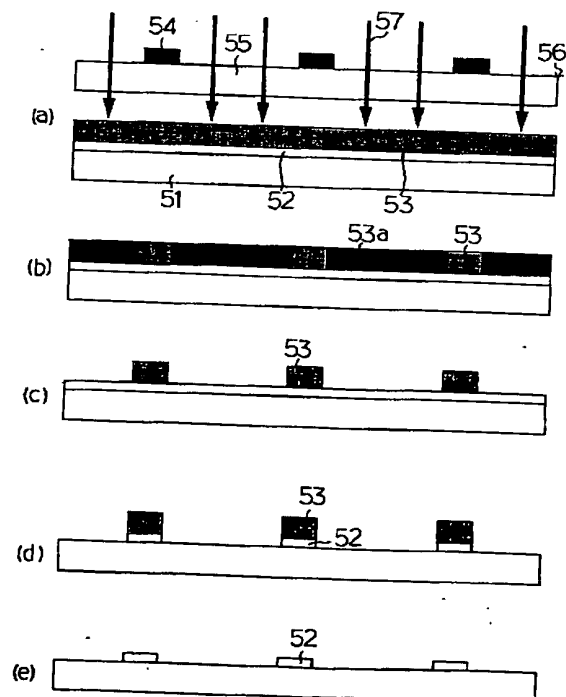
【図3】



【図4】

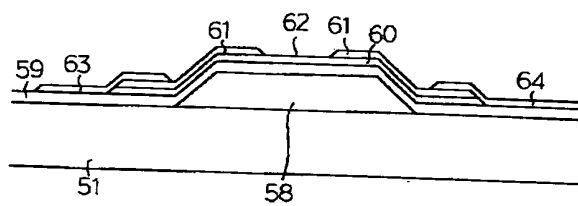


【図5】





【図6】



【図7】

